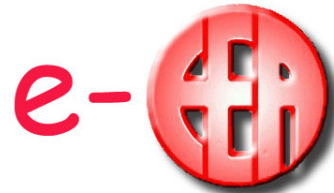
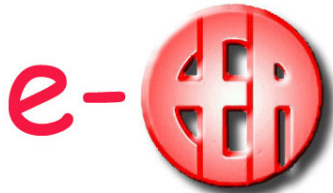


UNIVERSITE DE PICARDIE JULES VERNE
TP SIMULATION LOGIQUE



Préambule

Ce texte de TP sert d'introduction à la simulation logique, il passe en revue l'utilisation de l'outil "Xilinx Foundation" pour faire des schémas, des structures hiérarchiques et leur simulation.

Ce document est utilisé dans sa version actuelle à l'IUP GEII d'Amiens et dans une version modifiée à l'ESCPE Lyon.

Ont participé à sa rédaction :

Nacer ABOUCHI, ESCPE Lyon
Giansalvo CIRRINCONNE, UPJV Amiens
Richard GRISEL, UPJV Amiens.

TP IAO

UTILISATION SIMPLIFIEE DES OUTILS DE SIMULATION "XILINX FOUNDATION"

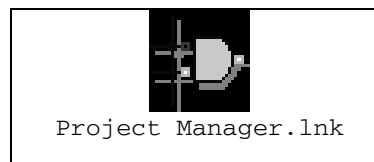
1. INTRODUCTION

XILINX FOUNDATION est un logiciel de CAO "Conception Assistée par Ordinateur" les plus réponsus, sur les plates formes de type PC, pour la mise en œuvre des circuits logique programmables (**FPGA et CPLD**). On le trouve aussi sous le nom de ALLIANCE sur les stations de travail.

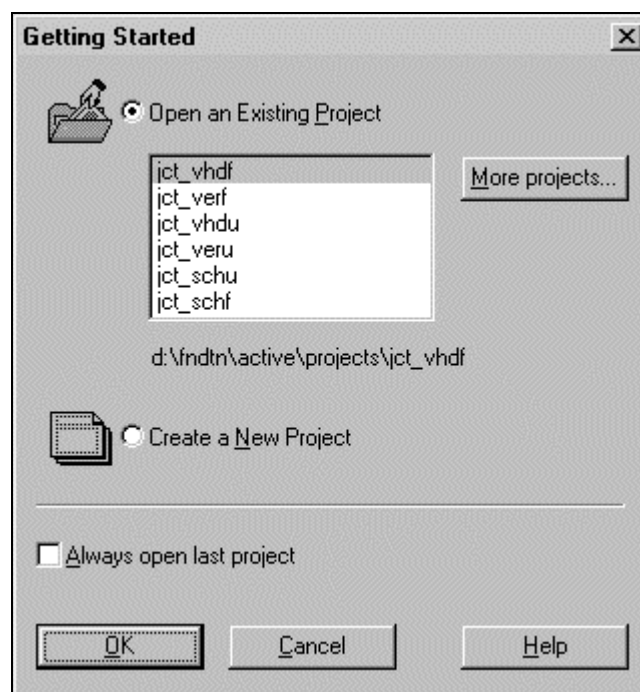
Les informations que vous trouverez dans ce polycopie vous permettront seulement de démarrer, elles ne constituent en rien une documentation complète. Il est absolument nécessaire de consulter l'aide en ligne ou de parcourir le site "*Xilinx toolbox*", voir l'adresse suivante : http://toolbox.xilinx.com/docsan/2_1i/ pour une plus ample connaissance des outils logiciels.

1. CREATION D'UN NOUVEAU PROJET

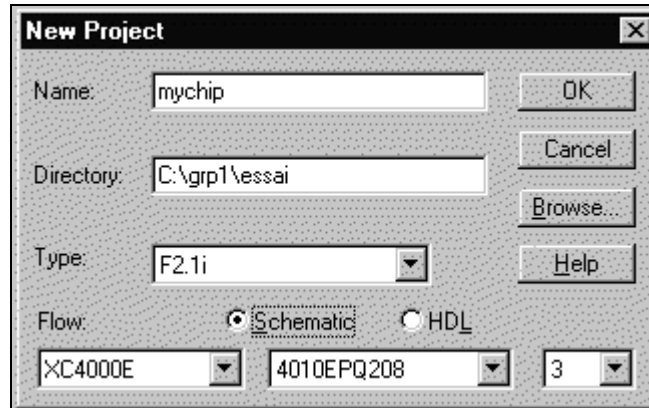
- Démarrer le **Project Manager** en double cliquant sur l'icône correspondante du bureau.



- Dans la fenêtre **Getting Started** sélectionner **Create a New Project** puis **OK**.



- Dans la fenêtre **New Project**, vérifier et corriger éventuellement

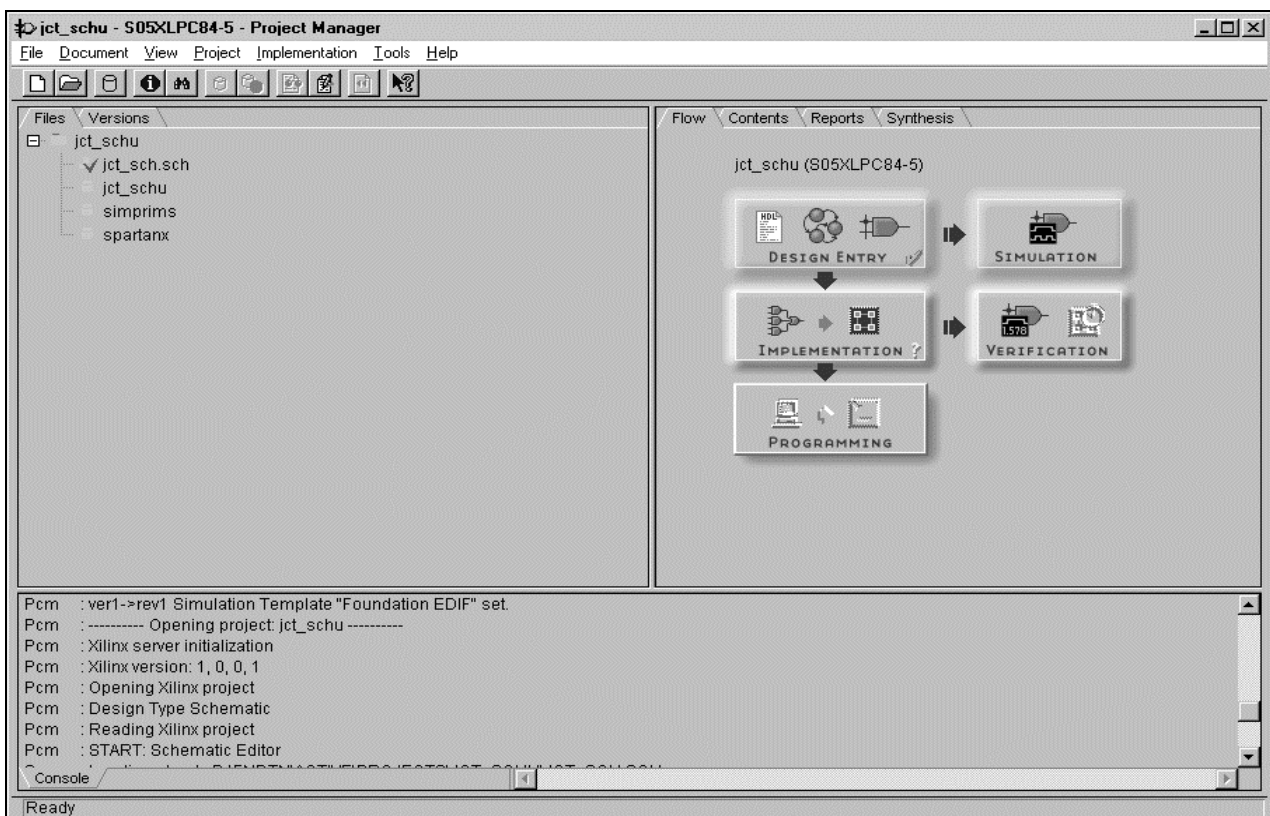


- Dans **name** entrer le nom de votre projet. Les noms de répertoires et de projets sont limités à 8 caractères, de préférence alphanumériques (éviter / _ \ % °).
- Dans **Directory** sélectionner un répertoire existant, éventuellement à l'aide de **Browse**, ou créer une nouvelle arborescence.

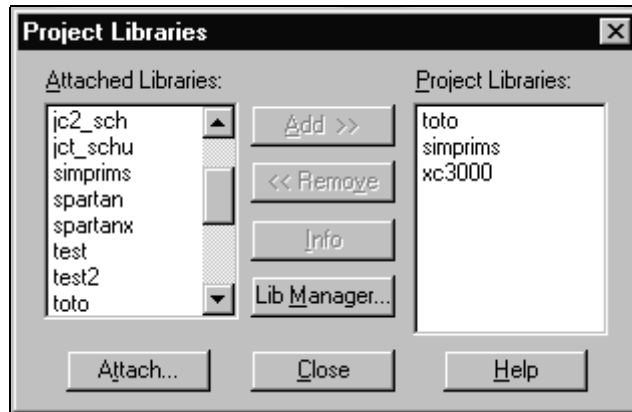
Note : Votre répertoire principal figure sur le disque Z:\user avec comme nom votre nom de "login"

- Dans **Flow** mettre : Schematic
- Dans les 3 ascenseurs situés en bas de cette fenêtre choisir la famille, le type et la vitesse de l’FPGA XILINX à utilisé. Dans le cadre du TP de simulation la famille XC3000 sera utilisée.
- Cliquer sur **OK** pour valider.

- Dans le menu **File** du **Project Manager**, sélectionner **Project Libraries**



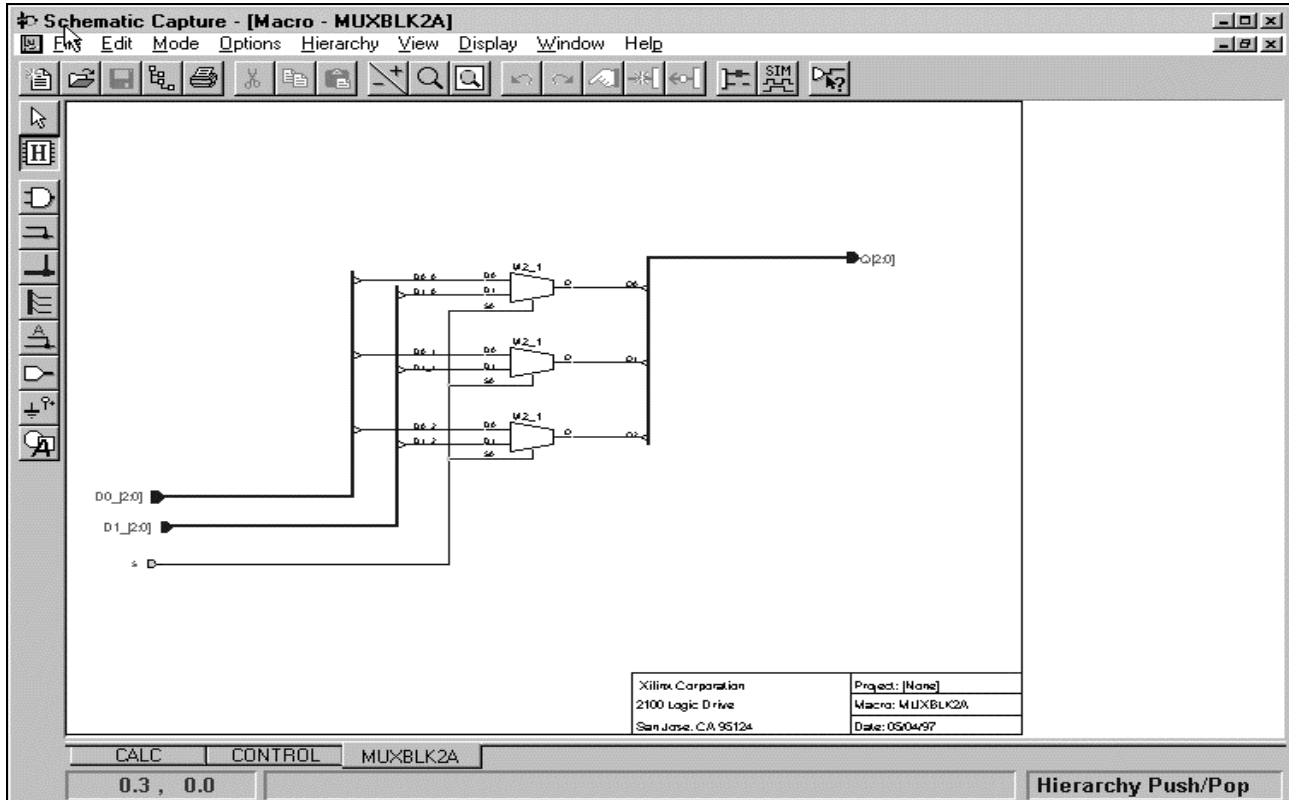
- Dans la fenêtre correspondante, la liste **Project Libraries** doit contenir :
 - "nom du projet",
 - "Simprims",
 - "xc3000" (pour la famille XC3000).



- Dans la liste **Attached Libraries**, double cliquer sur les noms de bibliothèques que vous voulez utilisés (ici aucune).
- Valider par **Close**.
- **Vous pouvez maintenant commencer l'édition de votre circuit.**

2. EDITION DU CIRCUIT

Pour ouvrir une page de travail qui correspondra au niveau le plus haut de la hiérarchie sélectionner **l'éditeur graphique**.



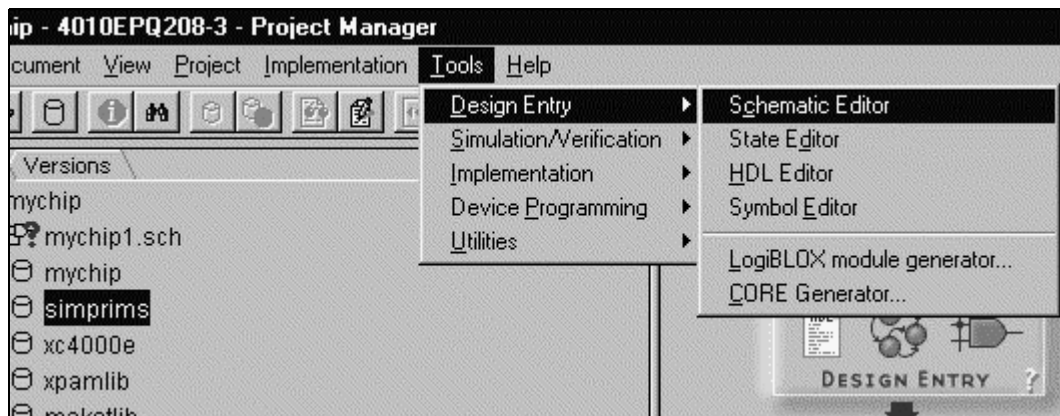
3.1. Editeur graphique :

Pour utiliser l'éditeur graphique, sélectionner :

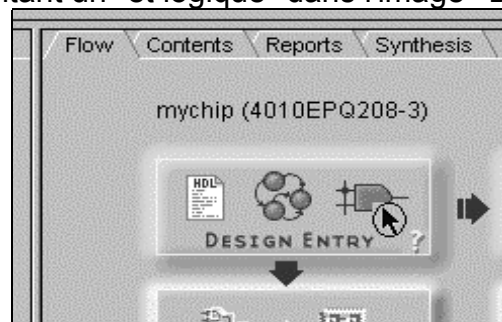
→ Tools

→ Design Entry

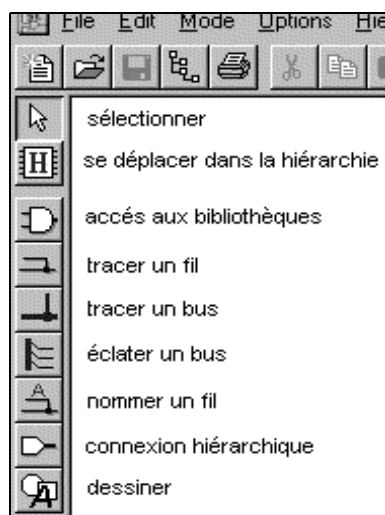
→ Schematic Editor



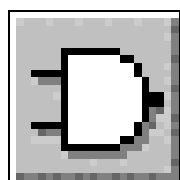
ou cliquer sur l'icône représentant un "et logique" dans l'image "Design Entry".



3.1.1. Manipulation de l'écran et utilisation de la boîte à outils verticale :

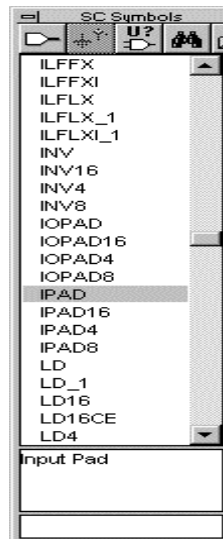


Ajouter un composant :



Cliquer sur l'icône représentant un "et logique" dans l'image la boîte à outils verticale gauche.

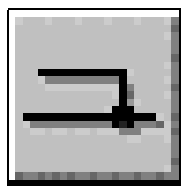
La fenêtre suivante apparaît :



Vous pouvez alors sélectionner un composant et le placer (par le bouton droit de la souris) dans votre schéma.

Interconnecter les composants :

Cliquer sur l'icône représentant une "interconnexion" dans l'image de la boîte à outils verticale gauche. Vous pouvez réaliser vos différentes interconnexions en utilisant le bouton droit de la souris (**cliquer sur bouton de droite pour sélectionner le point de départ et faire glisser jusqu'au point d'arrivée puis cliquer de nouveau sur le bouton de droite**).



Ajouter un label :

Double cliquer sur le fil d'interconnexion que vous voulez nommer. La fenêtre suivante apparaît :

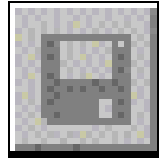


Il suffit alors de rentrer le nom et de valider par OK.

Il est possible aussi de rentrer un nom de label en appuyant sur le bouton droit de la souris à la fin d'une connexion et en choisissant **ADD LABEL**

Sauvegarder le schéma :

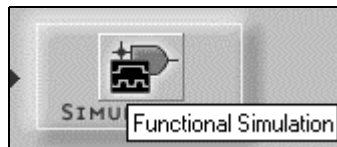
Cliquer sur l'icône représentant une "disquette" dans l'image de la boîte à outils verticale gauche.



Les erreurs et les "warning" ainsi que les messages d'informations sont automatiquement affichés sur l'écran.

3. SIMULATION FONCTIONNELLE

Le lancement du simulateur fonctionnel se fait en double cliquant sur l'icône correspondante "Simulation".

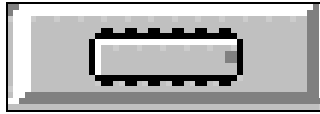


Remarque Importante :

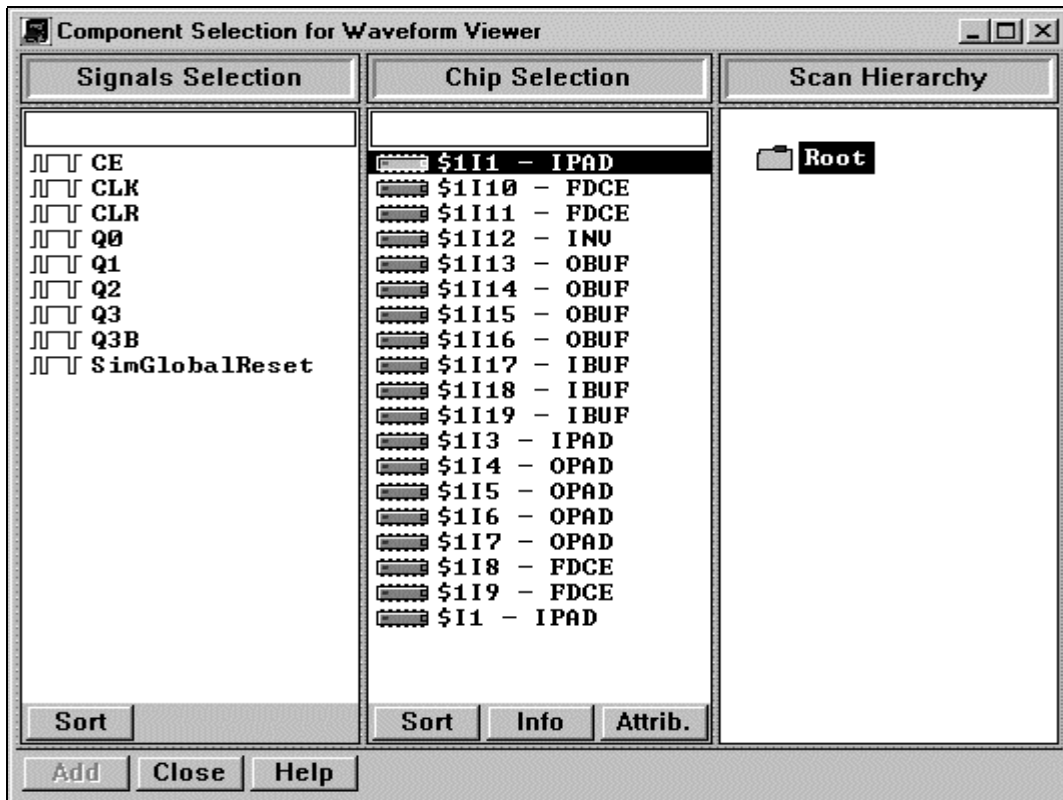
Tous les schémas que vous créez dans un même projet se situent au même niveau hiérarchique si vous n'avez pas pris la peine de faire une structure hiérarchique et de différencier les noms de signaux entre signaux "locaux" à une feuille de schéma et signaux "globaux" à tout le projet. Par défaut un nom (LABEL) de signal est global, donc si vous avez un label Q0 dans plusieurs schémas, tous les fils sont connectés, ce qui peut donner des problèmes de simulation (court-circuit entre sorties).

4.1. Choix des signaux à visualiser :

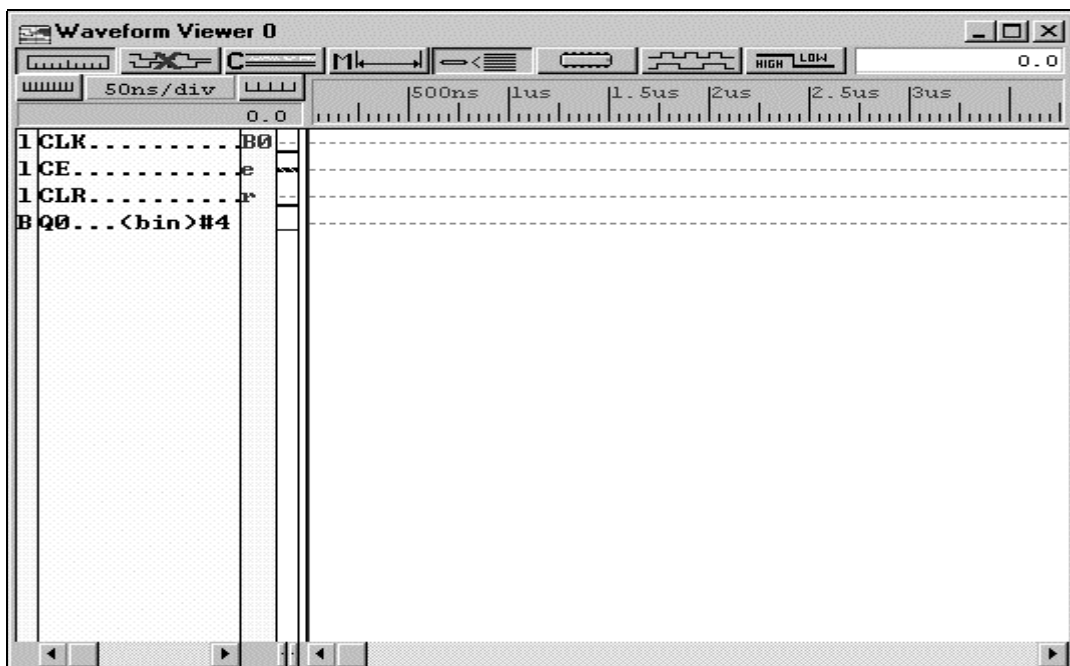
Cliquer sur l'icône représentant un "circuit intégré" dans la boîte à outils horizontale du simulateur.



La fenêtre suivante apparaît :



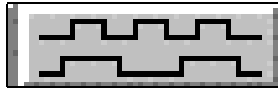
La sélection se fait par un double clic sur le signal à visualiser sur le simulateur. La fenêtre de simulation suivante va alors apparaître.



Remarques : Pour faire apparaître un bus (exemple : la sortie d'un compteur binaire Q0 Q1 Q2 et Q3), il suffit de sélectionner l'ensemble des signaux (avec la touche shift du clavier) et en cliquant sur le bouton droit de la souris sélectionner : "→ Bus → Combine". Le choix du mode de représentation se fait par : "→ Bus → Display Binary (ou autre)"

4.2. Ajouter des stimulus :

Pour ajouter des stimulus (évolution dans le temps des différents signaux). Cliquer sur l'icône représentant deux "ondes carrées" dans la boîte à outils horizontale du simulateur.



La fenêtre "stimulator selection" suivante apparaît :



Stimulus - utilisation du clavier :

On peut associer une touche du clavier à chaque signal **d'entrée** intervenant dans la simulation. Pour cela, cliquer (par le bouton droit de la souris) sur une lettre du clavier de contrôle du simulateur et (en restant appuyer) glisser le curseur sur le nom du signal que l'on veut associer à la lettre (dans la fenêtre de simulation) puis relâcher.

Le clavier donné est un qwerty alors que le clavier des PC est azerty mais l'affectation correcte est gérée en interne (c'est à dire que le choix de 'A' correspondra bien à 'A')

La mise à 1 ou à 0 du signal se fait alors en appuyant sur la touche correspondante du clavier (du PC).

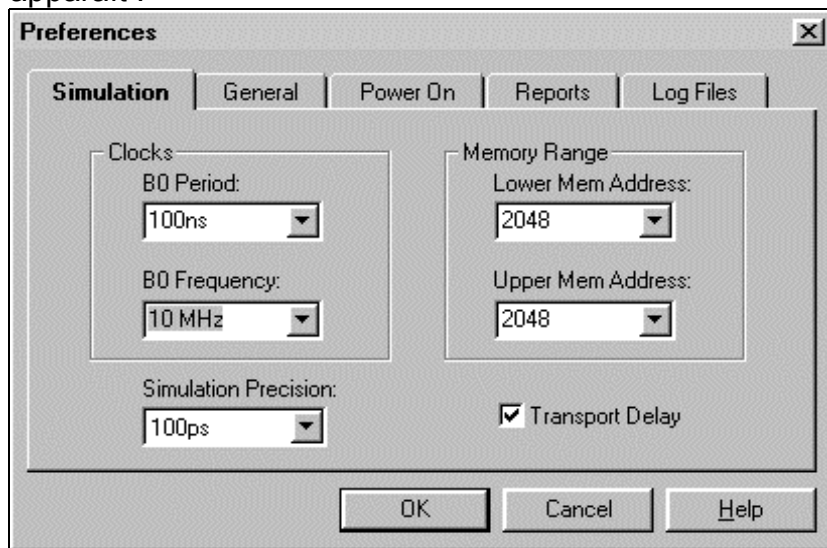
Stimulus - utilisation des générateurs interne au simulateur :

Cette possibilité permet de définir des trains d'ondes pour par exemple simuler des horloges en reliant des signaux à un compteur 16 bits interne

- sur la fenêtre de simulation, sélectionner un signal en cliquant dessus,
- dans la fenêtre "**stimulator selection**" sélectionner la LED correspondant au bit du compteur interne à associer à ce signal, par exemple B0,
- dans la fenêtre de simulation sélectionner :

→ Options → Preferences

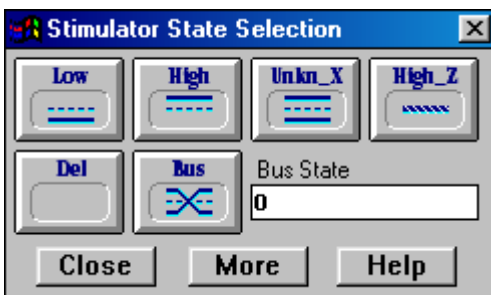
La fenêtre suivante apparaît :



Il suffit alors de choisir les paramètres que l'on veut associer au signal choisi et de valider par OK. Noter que B1 correspond à une division par 2 et ainsi de suite.

Autre possibilité :

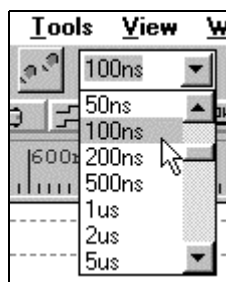
Il est possible aussi d'utiliser la fenêtre Logical States (Bouton à droite du select stimulator) qui correspond à cette fenêtre :



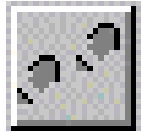
En sélectionnant des plages dans la fenêtre du simulateur pour un ou plusieurs signaux, et en choisissant les états dans la fenêtre ci-dessus on peut définir des stimulis appropriés.

Lancer la simulation :

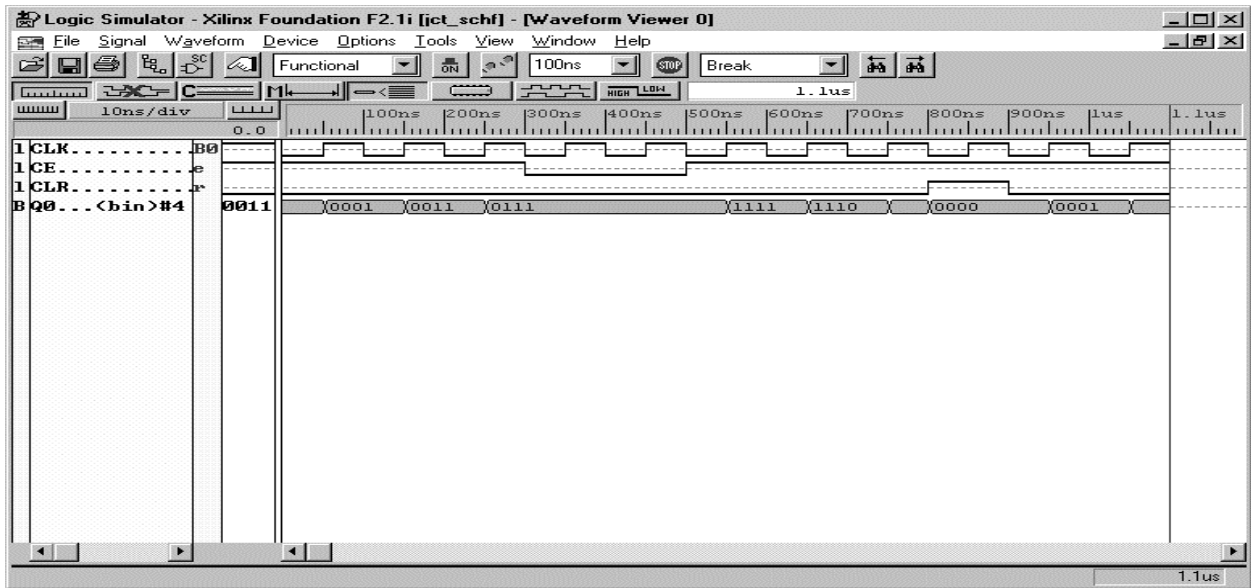
Avant de lancer la simulation, il faut commencer par choisir le pas de simulation (**le step size**).



L'avancement de la simulation se fait par un clic sur l'icône suivante :



L'avancement de la simulation fera apparaître des fenêtres de ce types.



TP IAO 1

APPRENTISSAGE DE L'OUTIL

1. BUT DU TP

Le but de ce premier TP d'IAO est de vous permettre une familiarisation avec le logiciel de CAO de **XILINX**. Bien que cet outil ne soit pas le seul à être utilisé, il est parmi les plus répandus dans l'industrie. L'apprentissage se fera en se basant sur différentes analyses d'applications utilisant les bascules.

Les bascules comptent parmi les éléments les plus fréquemment utilisés dans les systèmes numériques. Selon le cas, les bascules peuvent être bistables, monostables ou astables. Les bistables, ou flip-flop, sont utilisés pour le comptage binaire, pour réaliser des mémoires ou des registres. Les monostables sont utilisés pour produire des impulsions de forme et de largeur bien définie, ou pour retarder des impulsions. Enfin, les astables, ou multivibrateurs, servent à produire des signaux créneaux. Dans ce TP vous allez observer le fonctionnement et la constitution interne de différents types de bascules, (étudier différents types de compteurs, et enfin vous familiariser avec les registres à décalage). Ces composants sont très utilisés en électronique numérique : division de fréquence, comptage d'impulsions, génération d'adresses etc.

2. MISE EN PLACE DU PROJET

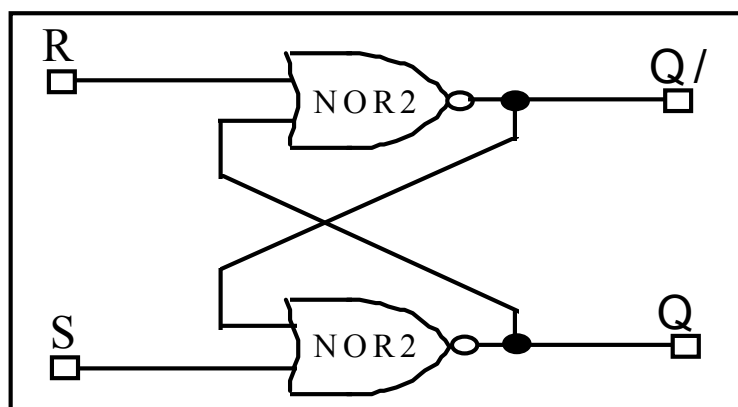
On vous basant sur les explications fournies dans le chapitre "utilisation simplifiée des outils de simulation XILINX FOUNDATION" de ce rapport, créer votre projet.

Remarque : Penser à mettre en place les bibliothèques que vous aurez à utiliser et à bien initialiser votre environnement de travail (choix du projet, du composant, etc.).

Une fois la mise en place de votre projet effectuée, vous pouvez commencer à étudier la bascule RS.

3. ETUDE DE LA BASCULE RS

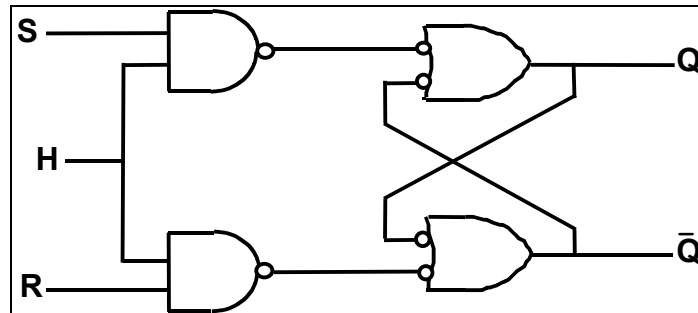
Elle comporte deux entrées normales, **S** (pour "Set") et **R** (pour "Reset").



- Expliquer, en donnant la table de vérité, le fonctionnement de la bascule,
- Vérifier par simulation le fonctionnement de la bascule,
- Vérifier, en utilisant la carte XIL94, le fonctionnement de la bascule.

4. ETUDE DE LA BASCULE RS SYNCHRONISEE (RST)

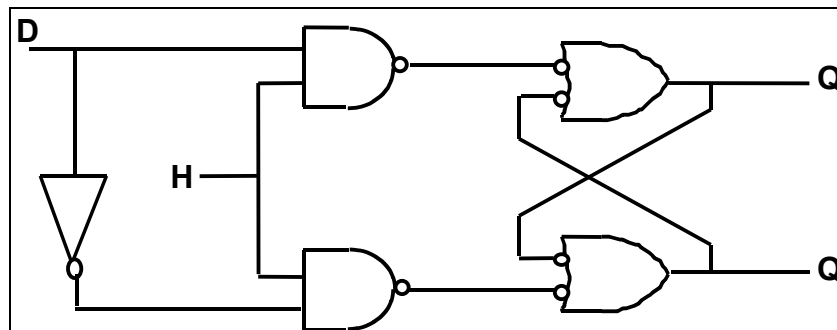
Elle comporte deux entrées normales, **S** (pour "Set") **R** (pour "Reset"), et une entrée supplémentaire appelée entrée d'horloge, **T** (pour "Trigger").



- Etablir la table de vérité de cette bascule, les 3 variables d'entrée étant S, R, Q_{n-1} .
- Toutes les combinaisons sont-elles permises ? Préciser à l'aide d'un diagramme des temps le fonctionnement par rapport aux états successifs de l'horloge.
- Vérifier par simulation le fonctionnement de la bascule,
- Vérifier, en utilisant la carte XIL94, le fonctionnement de la bascule.

5. ETUDE DE LA BASCULE D

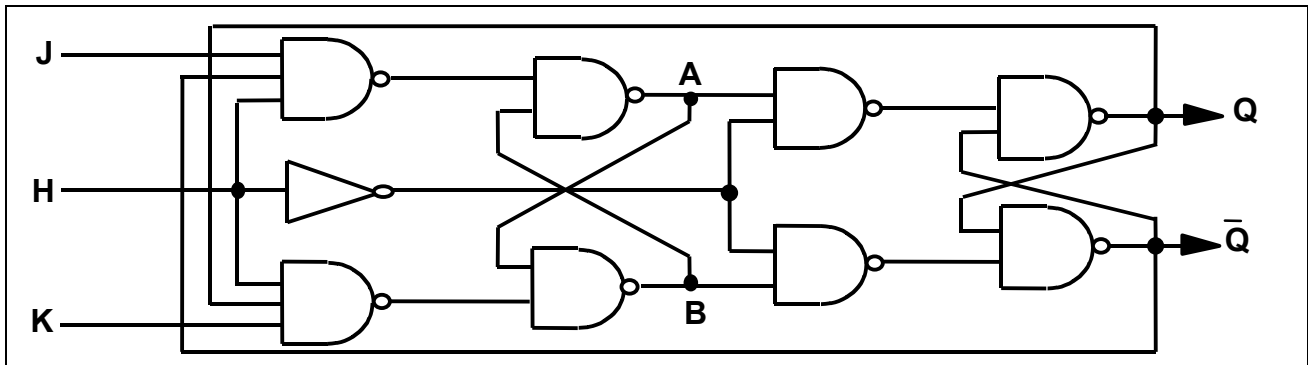
La bascule **D**, (D pour "Data") a deux entrées **D** et **T**, (ou D et C pour "Clock"). Son fonctionnement est tel qu'en présence du signal d'horloge T, la sortie Q prend l'état de l'information se trouvant sur l'entrée D, (on dit que la sortie Q copie l'entrée D).



- Etudier et établir, par simulation, la table de vérité du circuit en utilisant des portes NAND à trois entrées.
- Quelle est le rôle de l'inverseur.

- Réaliser un circuit de mise à 1 et de remise à 0 indépendant de l'horloge.

4. ETUDE DE LA BASCULE J-K MAITRE ESCLAVE



- Expliquer à l'aide d'un diagramme des temps le fonctionnement de cette bascule en fonction des entrées J, K, H, et Q_{n-1} . On précisera l'état des points A, B, Q et \bar{Q} . Réfléchir aux rôles successifs des deux bascules RS mises en série.
- Quelle est le rôle de l'inverseur sur l'horloge. A quoi servent les re-bouclages de Q et \bar{Q} sur les entrées.
- Faites le schéma et vérifiez, par simulation, le fonctionnement de cette bascule.

TP IAO 2

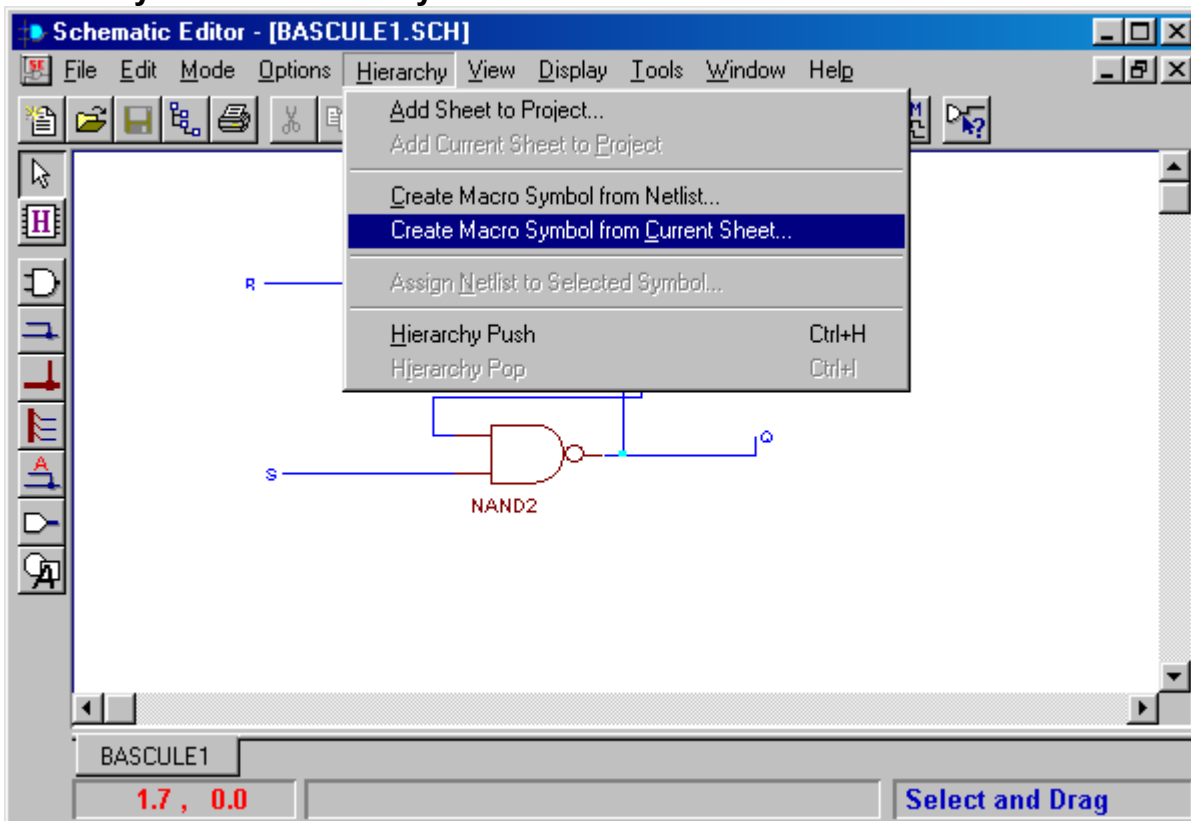
CONCEPTION HIERARCHIQUE

1. BUT DU TP

Le but de ce deuxième TP d'IAO est de vous permettre la suite de l'apprentissage de l'outil XILINX FOUNDATION ainsi qu'une familiarisation avec la conception hiérarchisée. L'apprentissage de cette partie se fera en se basant sur différentes analyses de compteurs et de bascules.

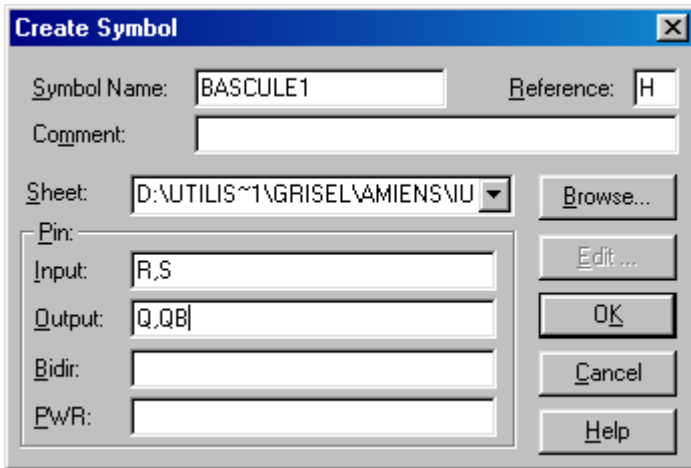
2. CREATION D'UN SYMBOLE

A partir de la fenêtre de schéma, vous pouvez créer un symbole en faisant :
Hierarchy ⇒ Create Macro Symbol from Current sheet...



La création d'un symbole associé à un schéma permet de le réutiliser et de faire de la conception hiérarchique. Le symbole et le schéma associé doivent avoir le même nom

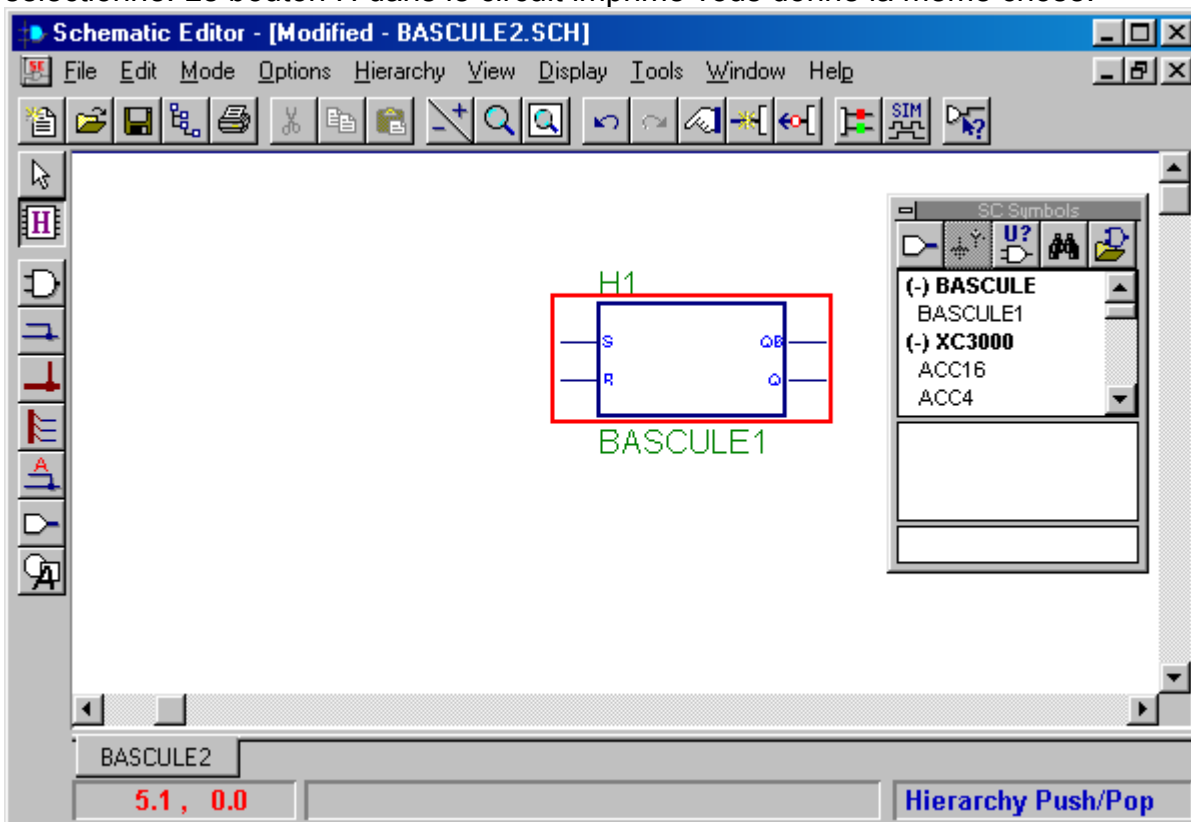
La fenêtre suivante va ensuite apparaître :



Dans Input vous répétez les noms de label des entrées (séparés par des virgules) et même chose pour les sorties dans Output.

Le symbole est créé, vous pouvez ensuite le visualiser ou non. En créant une nouvelle feuille de schéma, vous pourrez le placer en tant que composant puisqu'il apparaît dans la fenêtre des symboles, l'exemple ci-dessous vous montre le positionnement du symbole créé dans une fenêtre de schéma.

Note : La commande **Hierarchy**⇒**Push** vous permet de descendre dans la hiérarchie, et la commande **Hierarchy**⇒**Pop** vous permet de remonter dans la hiérarchie en fonction de l'objet sélectionné. Le bouton H dans le circuit imprimé vous donne la même chose.



3. ETUDE DE LA BASCULE J-K

En utilisant le symbole précédent, réaliser une bascule J-K et vérifier son fonctionnement.

4. COMPTEURS

- Qu'est-ce qu'un compteur asynchrone, synchrone, totalement synchrone, décimal, binaire.
- Quels sont les différents modes de fonctionnement.
- A l'aide de bascules JK, réaliser un compteur 4 bits, binaire, asynchrone.
 - Modifier le montage afin de le faire fonctionner en compteur décimal.
 - Réaliser un circuit de mise à zéro (Reset) indépendant de l'horloge.
 - Etudier la possibilité d'initialiser le compteur à partir d'une valeur quelconque (preset), celui-ci sera asynchrone c'est-à-dire indépendant de l'horloge.

5. REGISTRES

- Réaliser à l'aide de bascules (à choisir convenablement parmi celles étudiés précédemment), un registre à décalage "parallèle série" (chargement parallèle, décalage à droite).
-